

**Three-terminal thyristor with single MOS-gate controlled characteristics**

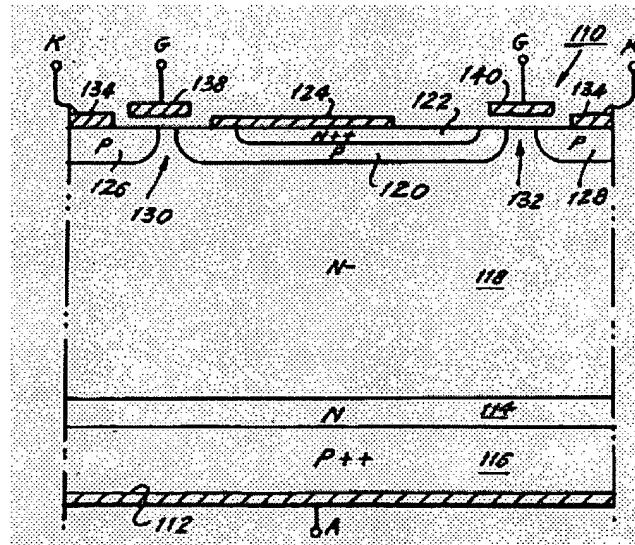
**Patent number:** DE19526537  
**Publication date:** 1996-02-01  
**Inventor:** AJIT JANARDHANAN S (US)  
**Applicant:** INT RECTIFIER CORP (US)  
**Classification:**  
- International: H01L29/74  
- european: H01L29/74B4, H01L29/745B, H01L29/749  
**Application number:** DE19951026537 19950720  
**Priority number(s):** US19940281917 19940728

**Also published as:**  
US5444272 (A1)  
JP8083897 (A)  
GB2292009 (A)  
FR2723260 (A1)

Abstract not available for DE19526537

Abstract of correspondent: US5444272

A MOS-controlled thyristor which has current saturation characteristics and does not have any parasitic thyristor structure. The device requires only a single gate drive and is a three terminal device. The device can be constructed in a cellular geometry. In all embodiments, the device has superior turn-off characteristics and a wider Safe-Operating-Area because the N++ emitter/P base junction is reverse biased during turn-off.



Data supplied from the esp@cenet database - Worldwide

⑩ BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES  
PATENTAMT

# Offenlegungsschrift

⑩ DE 195 26 537 A 1

⑪ Int. Cl.:

H01L 29/74

DE 195 26 537 A 1

⑩ Aktenzeichen: 195 26 537.8  
⑩ Anmeldetag: 20. 7. 95  
⑩ Offenlegungstag: 1. 2. 98

⑩ Unionspriorität: ⑩ ⑩ ⑩

28.07.94 US 281917

⑩ Anmelder:

International Rectifier Corp., El Segundo, Calif., US

⑩ Vertreter:

G. Koch und Kollegen, 80339 München

⑩ Erfinder:

Ajit, Janardhanan S., Redondo Beach, Calif., US

## ⑩ Thyristor

⑩ Ein MOS-gesteuerter Thyristor weist eine Stromsättigungscharakteristik auf und hat keinerlei parasitäre Thyristorstruktur. Das Bauteil benötigt lediglich eine einzige Gateansteuerung und ist ein Bauteil mit drei Anschlüssen. Das Bauteil kann in einer zellenförmigen Geometrie aufgebaut werden. Bei allen Ausführungsformen weist das Bauteil eine überragende Abschaltcharakteristik und einen größeren sicheren Betriebabreich auf, weil die N<sup>++</sup>-Emitter-/P-Basis-Grenzschicht während des Abschaltens in Sperrrichtung vorgespannt wird.

DE 195 26 537 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 11.95 508 085/548

12/27

## Beschreibung

Die vorliegende Erfindung bezieht sich auf einen Thyristor mit drei Anschlüssen und einer durch ein einziges MOS-Gate-gesteuerten Charakteristik.

Leistungshalbleiterstrukturen, die bipolare Leitungsmechanismen mit einer MOS-Steuerung kombinieren, sind gut bekannt. Der ein isoliertes Gate aufweisende bipolare Transistor (IGBT) stellt ein Beispiel für ein derartiges Bauteil dar, bei dem der Basisstrom einer bipolaren Struktur über einen integrierten MOSFET gesteuert wird. Der IGBT ist am besten für elektronische Hochspannungs-Leistungsanwendungen mit Sperrspannungen im Bereich von 600 Volt geeignet. IGBT's, die höhere Spannungen verarbeiten können, weisen einen höheren Durchleitungsabfall auf, was nachteilig ist. Weil ein niedriger Einschaltspannungsabfall dadurch erreichbar ist, daß der Einschaltstrom durch eine Thyristorstruktur geleitet wird, haben MOS-Gate-gesteuerte Thyristoren beträchtliches Interesse für Hochstrom-Hochspannungsanwendungen gefunden.

Zwei Arten von MOS-Gate-gesteuerten Thyristoren sind der MOS-gesteuerte Thyristor (MCT) und der Emitter-geschaltete Thyristor (EST). Bei dem MCT wird in der in einer Veröffentlichung von V.A.K. Temple, "IEEE International Electron Device Meeting (IEDM) Technical Digest, San Francisco, Dezember 1984, Seiten 282-285" beschriebenen Weise ein Kathodenkurzschlußkreis über eine MOS-Gate geschaltet. Die kommerzielle Entwicklung des MCT wurde jedoch durch die komplizierten Herstellungsanforderungen und Stromfadenbildungsprobleme beim Abschalten beeinträchtigt, und weiterhin weist dieses Bauteil keine Stromsättigungscharakteristik auf.

Der EST, wie er in Fig. 1 gezeigt ist, besteht grundlegend aus einem MOSFET in Serie mit einem Thyristor, und er wird als "Emitter-geschaltet" bezeichnet. Der EST eignet sich für eine einfachere Herstellung als der MCT. Obwohl der EST Stromsättigungscharakteristiken aufweist, weist er jedoch Einschränkungen aufgrund eines inhärenten parasitären Thyristors auf, der in Fig. 1 gezeigt ist, und der einen Nebenschluß für den Gate-gesteuerten n-Kanal MOSFET darstellt.

Entsprechend liegt der vorliegenden Erfindung die Aufgabe zugrunde, einen EST zu schaffen, der eine Stromsättigungscharakteristik aufweist, jedoch frei von einer parasitären Thyristorstruktur in dem Bauteil ist.

Diese Aufgabe wird durch die im Anspruch 1 angegebenen Merkmale gelöst.

Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen.

Bei der vorliegenden Erfindung wird die vorstehende Aufgabe unter Beseitigung der Nachteile des Standes der Technik dadurch gelöst, daß ein MOS-gesteueter Thyristor geschaffen wird, der bei einer ersten Ausführungsform ein Halbleitermaterialplättchen mit ersten und zweiten, einen Abstand voneinander aufweisenden, parallelen ebenen Oberflächen aufweist. Eine relativ leicht dotierte Schicht vom N-Leitungstyp erstreckt sich von einer ersten Halbleiteroberfläche, während sich eine Schicht vom P-Leitungstyp von der zweiten Halbleiteroberfläche aus erstreckt.

Eine Basis vom P-Leitungstyp ist in der relativ leicht dotierten Schicht vom N-Leitungstyp gebildet und erstreckt sich von der ersten Halbleiteroberfläche bis zu einer ersten Tiefe unterhalb dieser ersten Halbleiteroberfläche. Ein in der Basis vom P-Leitungstyp gebilde-

ter Emitterbereich vom N-Leitungstyp erstreckt sich von der ersten Halbleiteroberfläche zu einer zweiten Tiefe unterhalb der Halbleiteroberfläche, die flacher als die erste Tiefe ist, um eine N-Emitter-/P-Basis-Grenzschicht zu schaffen, wobei der Emitterbereich von N-Leitungstyp in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand entlang von Rändern der Basis vom P-Leitungstyp angeordnet ist, derart, daß sich die Ränder der Basis vom P-Leitungstyp bis zur ersten Halbleiteroberfläche erstrecken, wodurch ein erster Kanalbereich entlang eines ersten der Ränder gebildet wird. Ein Metallstreifen ist auf der ersten Halbleiteroberfläche angeordnet und verbindet den Emitterbereich mit der P-Basis entlang eines zweiten der Ränder.

Erste und zweite Bereiche vom P-Leitungstyp sind in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet, und sie erstrecken sich von der ersten Oberfläche des Halbleiterplättchens aus. Die ersten und zweiten Bereiche vom P-Leitungstyp sind mit seitlichem Abstand von den zweiten bzw. ersten Rändern der Basis vom P-Leitungstyp derart angeordnet, daß die relativ leicht dotierte Schicht vom N-Leitungstyp, die sich durch diese hindurch zur ersten Halbleiteroberfläche erstreckt, zweite und dritte Kanalbereiche bildet.

Eine erste Gate-Isollerschicht ist auf der ersten Halbleiteroberfläche angeordnet und erstreckt sich über zumindestens den zweiten Kanalbereich. Ein erstes Gate ist auf der ersten Gate-Isollerschicht angeordnet und liegt über dem zweiten Kanalbereich.

Eine zweite Gate-Isollerschicht ist auf der ersten Halbleiteroberfläche angeordnet und erstreckt sich über zumindestens die ersten und dritten Kanalbereiche. Ein zweites Gate ist auf der zweiten Gate-Isollerschicht angeordnet und liegt über den ersten und dritten Kanalbereichen.

Eine Gateelektrode ist mit dem zweiten isolierten Gate verbunden.

Eine Anodenelektrode ist mit der auf der zweiten Halbleiteroberfläche angeordneten Schicht vom P-Leitungstyp verbunden. Eine Kathodenelektrode ist mit den ersten und zweiten Bereichen vom P-Leitungstyp auf der ersten Halbleiteroberfläche verbunden und außerdem mit dem ersten isolierten Gate verbunden.

Der MOS-gesteuerte Thyristor gemäß der vorliegenden Erfindung schließt weiterhin vorzugsweise eine Schicht vom N-Leitungstyp ein, die zwischen der Schicht vom P-Leitungstyp und der relativ leicht dotierten Schicht vom N-Leitungstyp angeordnet ist. Die Schicht vom P-Leitungstyp und der Emitter vom N-Leitungstyp sind vorzugsweise relativ hoch dotiert. Bei dem MOS-gesteuerten Thyristor der vorstehend beschriebenen ersten Ausführungsform weist der Emitter vom N-Leitungstyp eine seitliche Länge auf, die einen ausreichenden Spannungsabfall in der Basis vom P-Leitungstyp erzeugt, um die N-Emitter-/P-Basis-Grenzschicht in Vorwärtsrichtung vorzuspannen, wenn sich der Thyristor im eingeschalteten Zustand befindet, was für ein Verriegeln des Thyristors im eingeschalteten Zustand erforderlich ist. Entsprechend muß die Basis vom P-Leitungstyp bei leichter Dotierung relativ lang gemacht werden. Eine alternative Ausführungsform besitzt diese Notwendigkeit.

Bei der alternativen Ausführungsform sind die ersten und zweiten Bereiche vom P-Leitungstyp benachbart zueinander und mit seitlichem Abstand voneinander angeordnet, und lediglich der zweite Bereich vom P-Leitungstyp befindet sich benachbart zu und in seitlichem

Abstand von dem Basisbereich vom P-Leitungstyp. Ein dritter Bereich vom P-Leitungstyp befindet sich benachbart zu und in seitlichem Abstand von dem Basisbereich vom P-Leitungstyp. Der Metallstreifen verbindet bei dieser Ausführungsform dem Emitter vom N-Leitungstyp mit dem zweiten Basisbereich vom P-Leitungstyp. Ein erstes isoliertes Gate liegt über dem Kanalbereich in der Schicht vom N-Leitungstyp zwischen den ersten und zweiten Bereichen vom P-Leitungstyp, und ein zweites isoliertes Gate liegt über dem Kanalbereich in der Schicht vom N-Leitungstyp zwischen dem zweiten Bereich vom P-Leitungstyp und der Basis vom P-Leitungstyp. Das zweite isolierte Gate liegt weiterhin über dem Kanalbereich, der am Rand der Basis vom P-Leitungstyp zwischen dem Emitter vom n-Leitungstyp und der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet ist. Ein drittes isoliertes Gate liegt über dem Kanalbereich in der Schicht vom N-Leitungstyp zwischen der Basis vom P-Leitungstyp und dem dritten Bereich vom P-Leitungstyp. Das dritte isolierte Gate liegt weiterhin über dem Kanalbereich, der am zweiten Rand der Basis vom P-Leitungstyp zwischen dem Emitter vom N-Leitungstyp und der relativ leicht dotierten Schicht vom N-Leitungstyp gebildet ist. Das dritte isolierte Gate ist elektrisch mit dem zweiten isolierten Gate verbunden, oder das zweite isolierte Gate kann wahlweise schwimmend sein oder fehlen. Die ersten und dritten Bereiche vom P-Leitungstyp und das erste isolierte Gate stehen mit dem Kathodenmetall auf der ersten Halbleiteroberfläche in Kontakt. Eine Anodenelektrode ist mit der auf der zweiten Halbleiteroberfläche angeordneten Schicht vom P-Leitungstyp verbunden. Eine Gateelektrode ist mit dem dritten isolierten Gate verbunden.

Wie bei der ersten Ausführungsform ist eine Schicht vom N-Leitungstyp vorzugsweise zwischen der Schicht vom P-Leitungstyp und der relativ leicht dotierten Schicht vom N-Leitungstyp angeordnet.

Die ersten, zweiten und dritten Bereiche vom P-Leitungstyp und die Basis vom P-Leitungstyp sind vorzugsweise relativ hoch dotiert, während die Schicht vom P-Leitungstyp und der Emitter vom N-Leitungstyp vorzugsweise sehr hoch dotiert sind. Wahlweise kann ein relativ leicht dotierter Bereich vom P-Leitungstyp in dem Kanalbereich zwischen den ersten und zweiten Bereichen vom P-Leitungstyp vorgesehen sein, um einen p-Kanal-MOSFET vom Verarmungstyp zu bilden. Weiterhin kann wahlweise der dritte Bereich vom P-Leitungstyp fortgelassen sein.

In vorteilhafter Weise weisen alle Ausführungsformen der vorliegenden Erfindung eine Stromsättigungscharakteristik ohne jede parasitäre Thyristorstruktur auf. Überragendes Abschaltverhalten und ein größerer Bereich eines sicheren Betriebs werden durch die vorliegende Erfindung erreicht, weil bei allen Ausführungsformen die Emitter-/Basis-Grenzschicht beim Abschalten in Sperrrichtung vorgespannt wird. Weiterhin sind die Grenzschichtmuster leicht herstellbar.

Weitere Merkmale und Vorteile der vorliegenden Erfindung sind anhand der folgenden Beschreibung von Ausführungsformen der Erfindung zu erkennen, die anhand der beigefügten Zeichnungen erfolgt.

In der Zeichnung zeigen:

Fig. 1 eine Querschnittsansicht einer typischen bekannten Emitter-geschalteten Thyristors (EST).

Fig. 2 eine Querschnittsansicht einer ersten Ausführungsform der vorliegenden Erfindung.

Fig. 3 eine Querschnittsansicht einer zweiten Ausfüh-

rungsform der vorliegenden Erfindung.

Fig. 4 eine Querschnittsansicht einer Abänderung der Ausführungsform nach Fig. 3 ohne einen dritten Bereich vom P-Leitungstyp und ohne ein zugehöriges drittes Gate.

Eine erste Ausführungsform des MOS-gesteuerten Thyristors der vorliegenden Erfindung ist in Fig. 2 gezeigt. Der MOS-gesteuerte Thyristor 110 ist ein Bauteil mit vertikaler Stromleitung.

- 10 Eine Schicht 114 vom N-Leitungstyp und ein sehr stark dotierter P<sup>++</sup>-Bereich 116 sind auf der Unterseite einer N<sup>-</sup>-Schicht 118 angeordnet. Für Anwendungen mit niedrigeren Spannungen (< 1200 Volt) wird die N<sup>-</sup>-Schicht 118 vorzugsweise epitaxial auf einem N-Epi/P<sup>++</sup>-Substrat aufgewachsen. Für Anwendungen mit höheren Spannungen (> 1200 Volt) ist die N<sup>-</sup>-Schicht 118 vorzugsweise das Substrat-Ausgangsmaterial, und die N-Schicht 114 und der P<sup>++</sup>-Bereich 116 sind Rückseitendiffusionen.
- 15 Eine Anodenelektrode 112 auf der Bodenfläche des Bauteils bedeckt den P<sup>++</sup>-Bereich 116. Die AnodenElektrode 112 ist mit einem Anodenanschluß A verbunden.

Die Schichtdicken und Konzentrationen hängen von 25 der Sperrspannung des Bauteils ab. Für ein Bauteil mit 2500 Volt liegen die Dotierungsdichte und Dicke des N<sup>-</sup>-Driftbereiches im Bereich von  $2 \times 10^{13} \text{ cm}^{-3}$  bzw. 500 µm. Die Dotierungsdichte des P<sup>++</sup>-Bereiches 116 ist vorzugsweise größer als  $5 \times 10^{19} \text{ cm}^{-3}$  bei einer Dicke von mehr als 1 µm. Die Dotierungsdichte der N-Schicht 114 beträgt vorzugsweise  $5 \times 10^{17} \text{ cm}^{-3}$  bei einer Dicke von ungefähr 7 µm.

In der N<sup>-</sup>-Schicht 118 ist eine Basis 120 vom P-Leitungstyp angeordnet, die weiterhin die Source des p-Kanal-MOSFET's des Bauteils bildet, wie dies weiter unten ausführlicher beschrieben wird. Ein N<sup>++</sup>-Emitterbereich 122 ist in der P-Basis 120 angeordnet und mit dieser über einen schwimmenden Metallstreifen 124 (der mit keiner Elektrode des Bauteils verbunden ist) auf 40 der oberen Oberfläche des Bauteils elektrisch kurzgeschlossen.

Die P-Basis 120 ist von P-Bereichen 126, 128 umgeben, ist jedoch von diesen durch relativ kleine Bereiche 45 der N<sup>-</sup>-Schicht 118 getrennt, die sich bis zur Oberfläche des Halbleiterplättchens erstrecken, um jeweilige Kanalbereiche 130, 132 zu bilden.

Ein erstes isoliertes Gate 138 liegt über dem Kanalbereich 130. Ein zweites isoliertes Gate 140, das mit dem Gateanschluß G verbunden ist, liegt über dem Kanalbereich 132 und liegt zusätzlich über dem Teil der T-Basis 120 zwischen dem N<sup>++</sup>-Emitterbereich 122 und dem Kanalbereich 132 an der oberen Oberfläche des Halbleiterplättchens. Die Gates 138, 140 bestehen vorzugsweise aus Polysilizium, und sie sind von der oberen Oberfläche des Bauteils durch eine (in Fig. 2 nicht gezeigte) Oxydschicht isoliert. Eine Kathodenelektrode 134, die mit einem Kathodenanschluß K verbunden ist, ergibt einen Ohm'schen Kontakt mit den P-Bereichen 126 und 128 und mit dem ersten isolierten Gate 138.

Die Betriebsweise des in Fig. 2 gezeigten Bauteils ist wie folgt: im Einschaltzustand (bei dem die Anode 112 ein positives Potential gegenüber der Kathode 134 aufweist) sollte die an das Gate 140 angelegte Spannung ausreichend positiv sein, um den n-Kanal-MOSFET (in der P-Basis 120) unter dem Gate 140 einzuschalten. Dies bewirkt einen Anstieg des Potentials der P-Basis 120, wenn die Anodenspannung ansteigt. Wenn das Potential der P-Basis 120 soweit ansteigt, daß die Potentialdiffe-

renz zwischen dem Gate 138 und der P-Basis 120 einen größeren Wert als die Schwellenwertspannung des p-Kanal-MOSFET's unter dem Gate 138 erreicht, so schaltet der p-Kanal-MOSFET unter dem Gate 138 ein und verbindet die P-Basis 120 mit dem P-Bereich 126 über den an der Oberfläche der N<sup>-</sup>-Schicht 130 gebildeten Inversions-p-Kanal. Hierdurch wird der Thyristor 110 in den Einschaltzustand getriggert, indem ein Leitungspfad von der Anode zur Kathode (aufwärts in Fig. 2) über den P<sup>++</sup>-Bereich 116, die N-Schicht 114, die N<sup>-</sup>-Schicht 118, über den n-Kanal in der P-Basis 120 an der Oberfläche des Halbleiterplättchens (der durch das Gate 140 geschaffen wird), längs des N<sup>++</sup>-Emitters 122, durch den Metallstreifen 124 zur P-Basis 120, durch den (durch das Gate 138 geschaffenen) p-Kanal im Kanal 130 und über den P-Bereich 126 zur Kathode 134 geschaffen wird.

Die laterale Länge des N<sup>++</sup>-Emitters 122 ist so angelegt, daß ein ausreichender Spannungsabfall derart hervorgerufen wird, daß ein Teil der N<sup>++</sup>-Emitter-/P-Basis-Grenzschicht in Durchlauffrichtung in den eingeschalteten Zustand geschaltet wird, um den Thyristor einzuschalten, der durch die Bereiche 122, 120, 118, 114 und 116 gebildet ist, so daß der Haupt-Thyristorstrom den n-Kanal unter dem Gate 140 umgeht und statt dessen direkt nach oben durch das Bauteil von dem P<sup>++</sup>-Bereich 116 durch die Schichten 114, 118 und 120 zum N<sup>++</sup>-Emitter 122 und dann durch den schwimmenden Metallstreifen 124 nach 120, dann durch den p-Kanal-MOSFET unter dem Gate 138 und dann durch den P-Bereich 126 zur Kathode 134 fließt.

Weil der p-Kanal-MOSFET unter dem Gate 138 in Serie mit dem Thyristor (116-114-118-120-122) angeordnet ist, ist der Strom durch das Bauteil durch den Sättigungsstrom des p-Kanal-MOSFET's unter dem Gate 138 begrenzt. Daher weist das Bauteil Stromsättigungscharakteristiken auf.

Zum Abschalten des Bauteils wird ein ausreichend negatives Potential an das Gate 140 gegenüber der Kathode 134 angelegt (um den n-Kanal-MOSFET unter dem Gate 140 abzuschalten und den p-Kanal-MOSFET unter dem Gate 140 einzuschalten), wodurch die P-Basis 120 mit dem P-Bereich 128 verbunden wird, der seinerseits elektrisch mit der Kathode verbunden ist. Diese jeweiligen Potentiale an den Gates 138, 140 werden in dem Vorwärts-Sperrzustand (Anode auf einem positiven Potential gegenüber der Kathode) aufrechterhalten. Das negative Potential an dem Gate 140 führt zu einer hohen Durchbruchsspannung für das Bauteil, weil hierdurch die P-Basis 120 des Thyristors auf einem niedrigeren Potential verglichen mit dem N<sup>++</sup>-Emitter 122 gehalten wird.

Es sei bemerkt, daß während des Vorwärts-Sperrzustandes die N<sup>++</sup>-Emitter-/P-Basisgrenzschicht in Sperrichtung vorgespannt ist. Überragende Durchbruchs- und Abschaltcharakteristiken und ein größerer sicherer Betriebsbereich werden durch die vorliegende Erfindung erzielt, weil dies ähnlich dem Fall eines Abschaltens mit offenem Emitter ist. In dieser Hinsicht sei beispielweise auf B. Jackson und D. Chen, "Effects of emitter-open switching of the turn-off characteristics of high voltage power transistors", Power Electronics Specialist Conference, Juni 1980 verwiesen.

Der Einschaltzustands-Spannungsabfall des MOS-steuerten Hochspannungs-Thyristors gemäß der vorliegenden Erfindung ist die Summe des Spannungsabfalls längs des Hochspannungs-Thyristors (112-116-114-118-120-122) und des Spannungsabfalls

längs des Niederspannungs-p-Kanal-MOSFET's (120-130-128-134) unter dem Gate 130. Der Spannungsabfall längs des Hochspannungsthyristors steigt nicht wesentlich an, wenn das Bauteil für eine höhere Durchbruchsspannung ausgelegt wird. Im Gegensatz hierzu steigt bei einem IGBT der Einschaltzustands-Spannungsabfall an, wenn der IGBT für höhere Durchbruchsspannungen ausgelegt wird. Dies ergibt sich daran, daß bei dem IGBT lediglich der untere Teil des Driftbereiches hinsichtlich seiner Leitfähigkeit moduliert wird, während bei einem Thyristor der gesamte Driftbereich hinsichtlich seiner Leitfähigkeit moduliert wird. Entsprechend weist in vorteilhafter Weise der MOS-steuerte Thyristor der vorliegenden Erfindung einen niedrigeren Durchlaßspannungsabfall als ein IGBT für den gleichen Strom für Bauteile mit höherer Durchbruchsspannung (> 1200 Volt) auf.

Zusätzlich erfordert die vorliegende Erfindung in vorteilhafter Weise aufgrund der Einschaltzustands-Stromsättigungscharakteristik, die weiter oben beschrieben wurde, keinen Kurzschlußschutz. Dies stellt einen größeren Vorteil verglichen mit einem MCT dar. Weiterhin weist die vorliegende Erfindung in vorteilhafter Weise keine parasitäre Thyristorstruktur auf, die das Betriebsverhalten verschlechtern würde. Dies stellt einen wesentlichen Vorteil verglichen mit bekannten EST dar.

Schließlich weist die beschriebene Ausführungsform der Erfindung in vorteilhafter Weise niedrigere Abschaltverluste verglichen mit einem MCT auf. Wie dies weiter oben erwähnt wurde, ist bei dem Bauteil der vorliegenden Erfindung die P-Basis über den lateralen p-Kanal-MOSFET mit Erdpotential verbunden, wodurch die N<sup>++</sup>-Emitter-/P-Basis-Grenzschicht in Sperrichtung vorgespannt wird. Hierdurch wird der NPN-Transistor durch Erzeugung einer Sperr-Basisansteuerung inaktiv gemacht, was zu einer schnelleren Unterbrechung der Thyristorwirkung verglichen mit einem MCT und damit zu einem schnelleren Absinken des Stromes führt. Die Abschaltzeit des Bauteils gemäß der vorliegenden Erfindung liegt daher nahe an der eines IGBT (der angenähert die Abschaltzeit eines mit offener Basis betriebenen PNP-Transistors hat).

Die vorstehend beschriebene und in Fig. 2 gezeigte Ausführungsform der vorliegenden Erfindung beruht auf dem lateralen Spannungsabfall entlang der P-Basis 120, um den NPN-Transistor zur Verriegelung des Thyristors in Vorwärtsrichtung vorzuspannen. Entsprechend muß die P-Basis 120 bei einer leichten Dotierung relativ lang gemacht werden. Eine alternative Ausführungsform, die in Fig. 3 gezeigt ist, beseitigt diese Notwendigkeit.

Wie in Fig. 2 ist der MOS-steuerte Thyristor 210 nach Fig. 3 ein Bauteil mit vertikaler Stromleitung mit einer N-Schicht 214 und einem sehr stark dotierten P<sup>++</sup>-Bereich 216, der auf der Unterseite einer N<sup>-</sup>-Schicht 218 angeordnet ist. Eine Anode 212 auf der Bodenseite des Bauteils bedeckt den P<sup>++</sup>-Bereich 216. Die Schichtdicken und Konzentrationen hängen von der Sperrspannung des Bauteils ab und sind die gleichen wie bei dem Bauteil nach Fig. 2.

In der N<sup>-</sup>-Schicht 218 sind folgende Bereiche angeordnet: 1) eine P<sup>+</sup>-Basis 221; 2) ein P<sup>+</sup>-Bereich 219, der die Source des p-Kanal-MOSFET's des Bauteils bildet, wie dies weiter unten ausführlicher beschrieben wird; und 3) P<sup>+</sup>-Bereiche 226 und 228, die die jeweiligen Drainbereiche von p-Kanal-MOSFET's des Bauteils bilden, wie dies weiter unten ausführlicher beschrieben wird.

Ein  $N^{++}$ -Emitter-Bereich 222 ist in einer  $P^+$ -Basis 221 angeordnet und elektrisch mit dem  $P^+$ -Bereich 219 durch einen schwimmenden Metallstreifen 224 (der mit keiner Elektrode des Bauteils verbunden ist) auf der oberen Oberfläche des Bauteils kurzgeschlossen.

Die  $P^+$ -Bereiche 226 und 219, die  $P^+$ -Bereiche 219 und 221 und die  $P^+$ -Bereiche 221 und 228 sind durch relativ kleine Bereiche einer  $N^-$ -Schicht 218 getrennt, die sich zur Oberfläche des Halbleiterplättchens erstrecken, um jeweilige Kanalbereiche 230, 231, 233 zu bilden.

Ein erstes isoliertes Gate 238 liegt über dem Kanalbereich 230. Ein zweites isoliertes Gate 240 liegt über dem Kanalbereich 233 und liegt zusätzlich über dem Teil der  $P^+$ -Basis 221 zwischen dem  $N^{++}$ -Emitterbereich 222 und dem Kanalbereich 233 an der oberen Oberfläche des Halbleiterplättchens. Ein drittes isoliertes Gate 241 liegt über dem Kanalbereich 231 und liegt zusätzlich über der Position der  $P^+$ -Basis 221 zwischen dem  $N^{++}$ -Emitterbereich 222 und dem Kanalbereich 231 der oberen Oberfläche des Halbleiterplättchens. Die Gates 238, 240, 241 bestehen vorzugsweise aus Polysilizium und sind von der oberen Oberfläche des Bauteils durch eine (in Fig. 5 nicht gezeigte) Oxydschicht getrennt. Die Gates 240 und 241 können zusammengeführt (elektrisch miteinander verbunden) sein. Das Gate 240 steht mit einer Gateelektrode in Kontakt. Eine Kathodenlektrode 234 ergibt einen Ohm'schen Kontakt mit den  $P^+$ -Bereichen 226 und 228 und mit dem ersten isolierten Gate 238.

Die Betriebsweise des in Fig. 3 gezeigten Bauteils 210 ist wie folgt: im Einschaltzustand (wobei sich die Anode 212 auf einem positiven Potential bezüglich der Kathode 234 befindet) sollte die an die Gates 241 und 240 angelegte Spannung ausreichend positiv sein, um die n-Kanal-MOSFET's (in der  $P^+$ -Basis 221) unter den Gates 241 und 240 einzuschalten. Dies führt zu einem Potentialanstieg des  $P^+$ -Bereiches 219, wenn die Anodenspannung vergrößert wird. Wenn das Potential des  $P^+$ -Bereiches 219 so weit ansteigt, daß die Potentialdifferenz zwischen dem Gate 238 und dem  $P^+$ -Bereich 219 einen größeren Wert aufweist, als die Schwellenwertspannung des p-Kanal-MOSFET's unter dem Gate 238, so schaltet der p-Kanal-MOSFET unter dem Gate 238 ein und verbindet den  $P^+$ -Bereich 219 mit dem  $P^+$ -Bereich 226 über den Inversions-p-Kanal, der an der Oberfläche der  $N^-$ -Schicht 230 gebildet ist.

In dieser Situation ist der  $N^{++}$ -Emitter 222 mit dem Erdpotential über den Metallstreifen 224 und über den lateralen PMOS verbunden, der durch die Invertierung des Kanalbereiches 230 gebildet ist, und die Basisansteuerung für den vertikalen PNP-Transistor, der durch die Schichten 216-214-218-221 gebildet ist, wird über die n-Kanal-MOSFET's unter den Gates 240, 241 geliefert. Wenn die  $P^{++}$ -Bereichs-/N-Grenzschicht um ungefähr 0,7 Volt in Durchlaßrichtung vorgespannt ist, so beginnt der  $P^{++}$ -Bereich 216, Löcher oder Defektelektronen zu injizieren, wodurch die Basisansteuerung für den NPN-Transistor geliefert wird, der durch die Schichten 222-221-218-214 gebildet ist, was bewirkt, daß der durch die Schichten 216-214-218-121-222 gebildete Thyristor in seinen verriegelten Zustand übergeht.

Somit wird hierdurch der Thyristor 210 in den eingeschalteten Zustand dadurch getriggert, daß ein Leitungspfad von der Anode zur Kathode (nach oben in Fig. 3) über den  $P^{++}$ -Bereich 216, die N-Schicht 214, die  $N^-$ -Schicht 218, über die n-Kanäle in der  $P^+$ -Basis 221 an der Oberfläche des Halbleiterplättchens (ge-

schehen durch die Gates 241 und 240), längs des  $N^{++}$ -Emitters 222, über den Metallstreifen 224 zum  $P^+$ -Bereich 219, über den (durch das Gate 238 geschaffenen) p-Kanal in den Kanalbereich 230 und über den  $P^+$ -Bereich 226 zur Kathode 234 geschaffen wird.

Nachdem der durch die Bereiche 216, 214, 218, 221 und 222 gebildete Thyristor eingeschaltet wurde, umgeht ein größerer Teil des Stromes den n-Kanal unter den Gates 241 und 240 und fließt statt dessen direkt nach oben durch das Bauteil von dem  $P^{++}$ -Bereich 216, durch die Bereiche 214, 218, 221 zum  $N^{++}$ -Emitter 222 und dann durch den schwimmenden Metallstreifen 224 zum  $P^+$ -Bereich 219, durch den p-Kanal-MOSFET unter dem Gate 238 zum  $P^+$ -Bereich 226 und dann zur Kathode 234. Weil der p-Kanal-MOSFET unter dem Gate 238 in Reihe mit dem Thyristor (216-214-218-221-222) liegt, ist der Strom durch das Bauteil durch den Sättigungsstrom des p-Kanal-MOSFET's unter dem Gate 238 begrenzt. Damit weist das Bauteil nach Fig. 3 ebenso wie das Bauteil nach Fig. 2 eine Strombegrenzungskarakteristik auf.

In vorteilhafter Weise kann der Thyristor dadurch abgeschaltet werden, daß lediglich die Spannungen der Gates 240, 241 auf einen ausreichend negativen Wert verringert werden (hierdurch wird der n-Kanal-MOSFET unter den Gates 240 und 241 abgeschaltet und der p-Kanal-MOSFET unter dem Gate 240 eingeschaltet, wodurch die  $P^+$ -Basis 221 mit dem  $P^+$ -Bereich 228 verbunden wird, der seinerseits elektrisch mit der Kathode verbunden ist). Diese jeweiligen Potentiale an den Gates 240, 241 werden in dem Vorwärts-Sperrzustand aufrechterhalten (Anode auf einem positiven Potential bezüglich der Kathode). Das negative Potential an dem Gate 240 führt zu einer hohen Durchbruchspannung für das Bauteil, weil hierdurch die  $P^+$ -Basis 221 des Thyristors auf einem niedrigeren Potential verglichen mit dem  $N^{++}$ -Emitter 222 gehalten wird.

Fig. 4 zeigt eine Abänderung der Struktur nach Fig. 3 dadurch, daß der  $P^+$ -Bereich 228, der zugehörige Kontakt des Kathodenmetalls 234 an diesen Bereich, das Gate 240 und der Kanalbereich 233 fortgelassen werden. Bei dieser Ausführungsform wird beim Abschalten und dem Vorwärts-Sperrzustand der  $N^{++}$ -Emitter 222 lediglich über den schwimmenden Metallstreifen 224 und den p-Kanalbereich 231 unter dem Gate 241 mit der  $P^+$ -Basis 221 kurzgeschlossen.

Eine weitere Änderung der Struktur nach Fig. 3 wird dadurch erzielt, daß das Gate 221 fortgelassen wird oder es elektrisch schwimmend gehalten wird.

Obwohl die vorliegende Erfindung bezüglich spezieller Ausführungsformen beschrieben wurde, sind für den Fachmann viele weitere Abänderungen und Modifikationen (wie zum Beispiel die Verwendung von Graben-Gates anstelle von ebenen Oberflächen-Gates und andere Gate- und Kanalbereichs-Auslegungen) ohne weiteres erkennbar.

#### Patentansprüche

1. MOS-gesteuerter Thyristor mit einem Plättchen aus Halbleitermaterial, das erste und zweite mit Abstand voneinander angeordnete, parallele ebene Oberflächen aufweist, dadurch gekennzeichnet, daß zumindestens ein Teil der Dicke des Halbleiterplättchens, der sich von der ersten Halbleiteroberfläche aus erstreckt, eine relativ leicht dotierte Schicht vom N-Leitungstyp zur Aufnahme von Grenzschichten bildet, während zumindestens ein

Teil der Dicke des Halbleiterplättchens, der sich von der zweiten Halbleiteroberfläche aus erstreckt, eine relativ hoch dotierte Schicht vom P-Leitungstyp bildet,

daß eine Basis vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche bis zu einer ersten Tiefe unterhalb dieser ersten Halbleiteroberfläche erstreckt,

daß ein Emitterbereich vom N-Leitungstyp in der Basis vom P-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche bis zu einer zweiten Tiefe unterhalb der Halbleiteroberfläche erstreckt, die flacher als die erste Tiefe ist, um eine N-Emitter-/P-Basis-Grenzschicht zu schaffen, wobei der Emitterbereich vom N-Leitungstyp in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand entlang von Rändern der Basis vom P-Leitungstyp angeordnet ist, so daß sich die Ränder der Basis vom P-Leitungstyp bis zu

5

10

15

20

25

30

35

40

45

50

55

der ersten Halbleiteroberfläche erstrecken, wodurch ein erster Kanalbereich entlang eines ersten dieser Ränder gebildet wird, wobei ein Metallstreifen auf der ersten Halbleiteroberfläche angeordnet ist und den Emitterbereich mit der Basis vom P-Leitungstyp entlang eines zweiten der Ränder verbindet,

daß erste und zweite Bereiche vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet sind und sich von der ersten

30

Oberfläche des Halbleiterplättchens aus erstrecken, wobei die ersten und zweiten Bereiche vom P-Leitungstyp mit seitlichem Abstand von den zweiten bzw. ersten Rändern der Basis vom P-Leitungstyp angeordnet sind, um zweite und dritte Kanalbereiche in der relativ leicht dotierten Schicht vom N-Leitungstyp zu bilden,

daß eine erste Gate-Isolationsschichteinrichtung auf der ersten Halbleiteroberfläche zumindestens auf dem zweiten Kanalbereich angeordnet ist,

daß eine erste Gate-Einrichtung auf der ersten Gate-Isolationsschichteinrichtung angeordnet ist und über dem zweiten Kanalbereich liegt,

daß eine zweite Gate-Isolationsschichteinrichtung auf der ersten Halbleiteroberfläche zumindestens auf den ersten und dritten Kanalbereichen angeordnet ist,

daß eine zweite Gate-Einrichtung auf der zweiten Gate-Isolationsschichteinrichtung über den ersten und dritten Kanalbereichen angeordnet ist,

daß eine Anodenelektrodeneinrichtung mit der Schicht vom P-Leitungstyp verbunden ist, die auf der zweiten Halbleiteroberfläche angeordnet ist,

daß eine Kathodenelektrodeneinrichtung mit den ersten und zweiten Bereichen vom P-Leitungstyp auf der ersten Halbleiteroberfläche und mit dem ersten Gate verbunden ist, und

daß eine Gateelektrodeneinrichtung mit dem zweiten Gate verbunden ist.

2. MOS-gesteuerter Thyristor nach Anspruch 1, dadurch gekennzeichnet, daß er weiterhin eine Schicht vom N-Leitungstyp aufweist, die zwischen der Schicht vom P-Leitungstyp und der relativ leicht dotierten Schicht vom N-Leitungstyp angeordnet ist.

3. MOS-gesteuerter Thyristor nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Emitter vom N-Leitungstyp eine seitliche Länge aufweist,

die einen ausreichenden Spannungsabfall in der Basis vom P-Leitungstyp hervorruft, um die N-Emitter-/P-Basis-Grenzschicht in Vorwärtsrichtung vorzuspannen, wenn sich der Thyristor in einem Einschaltzustand befindet.

4. MOS-gesteuerter Thyristor nach einem der Ansprüche 1-3, dadurch gekennzeichnet, daß die Schicht vom P-Leitungstyp und der Emitter vom N-Leitungstyp relativ hoch dotiert sind.

5. MOS-gesteuerter Thyristor mit einem Plättchen aus Halbleitermaterial, das erste und zweite, mit Abstand voneinander angeordnete, parallele planare Oberflächen aufweist, dadurch gekennzeichnet, daß zumindestens ein Teil der Dicke des Halbleiterplättchens, der sich von der zweiten Halbleiteroberfläche aus erstreckt, eine relativ hoch dotierte Schicht vom P-Leitungstyp bildet,

daß eine Basis vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche aus bis zu einer ersten Tiefe unterhalb der Halbleiteroberfläche erstreckt,

daß ein Emitterbereich vom N-Leitungstyp in der Basis vom P-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche aus bis zu einer zweiten Tiefe unterhalb dieser Halbleiteroberfläche erstreckt, die flacher als die erste Tiefe ist, um eine N-Emitter-/P-Basis-Grenzschicht zu bilden, wobei der Emitterbereich vom N-Leitungstyp in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand entlang von Rändern der Basis vom P-Leitungstyp derart angeordnet ist, daß sich die Ränder der Basis vom P-Leitungstyp bis zu der ersten Halbleiteroberfläche erstrecken, wodurch erste und zweite Kanalbereiche entlang der Ränder gebildet werden,

daß erste und zweite Bereiche von P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet sind und sich von der ersten Oberfläche des Halbleiterplättchens aus erstrecken, wobei die ersten und zweiten Bereiche vom P-Leitungstyp seitlich mit Abstand voneinander und von der Basis vom P-Leitungstyp angeordnet sind, um jeweilige dritte und vierte Kanalbereiche in der relativ leicht dotierten Schicht vom N-Leitungstyp zu bilden, wobei ein Metallstreifen auf der ersten Halbleiteroberfläche angeordnet ist und den Emitterbereich vom N-Leitungstyp mit dem zweiten Bereich vom P-Leitungstyp verbindet, wobei ein dritter Bereich vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet ist und sich von der ersten Oberfläche des Halbleiterplättchens aus erstreckt, wobei der dritte Bereich vom P-Leitungstyp mit seitlichem Abstand von der Basis vom P-Leitungstyp angeordnet ist, um einen fünften Kanalbereich in der Schicht vom N-Leitungstyp zu bilden,

daß eine erste Gate-Isolationsschichteinrichtung auf der ersten Halbleiteroberfläche über zumindestens dem dritten Kanalbereich angeordnet ist,

daß eine erste Gateeinrichtung auf der ersten Gate-Isolationsschichteinrichtung über dem dritten Kanalbereich liegend angeordnet ist,

daß eine zweite Gate-Isolationsschichteinrichtung auf der ersten Oberfläche zumindestens über den ersten und vierten Kanalbereichen angeordnet ist,  
daß eine zweite Gateeinrichtung auf der zweiten Gate-Isolationsschichteinrichtung über den ersten und vierten Kanalbereichen liegend angeordnet ist,  
daß eine dritte Gate-Isolationsschichteinrichtung auf der ersten Oberfläche zumindestens auf den zweiten und fünften Kanalbereichen angeordnet ist,  
daß eine dritte Gateeinrichtung auf der dritten Gate-Isolationsschichteinrichtung und über den zweiten und fünften Kanalbereichen liegend angeordnet ist,  
daß eine Anodenelektrodeneinrichtung mit der auf der zweiten Halbleiteroberfläche angeordneten Schicht vom P-Leitungstyp verbunden ist,  
daß eine Kathodenelektrodeneinrichtung mit den ersten und dritten Bereichen vom P-Leitungstyp auf der ersten Halbleiteroberfläche und mit dem ersten Gate verbunden ist,  
daß eine Gateelektrodeneinrichtung mit den zweiten und dritten Gates verbunden ist.  
6. MOS-gesteuerter Thyristor nach Anspruch 5, dadurch gekennzeichnet, daß er weiterhin eine Schicht vom N-Leitungstyp aufweist, die zwischen der Schicht vom P-Leitungstyp und der relativ leicht dotierten Schicht vom N-Leitungstyp angeordnet ist.  
7. MOS-gesteuerter Thyristor mit einem Plättchen aus Halbleitermaterial, das erste und zweite, mit Abstand voneinander angeordnete, parallele ebene Oberflächen aufweist, dadurch gekennzeichnet, daß zumindestens ein Teil der Dicke des Halbleiterplättchens, der sich von der ersten Halbleiteroberfläche aus erstreckt, eine relativ leicht dotierte Schicht vom N-Leitungstyp zur Aufnahme von Grenzschichten bildet, während zumindestens ein Teil der Dicke des Halbleiterplättchens, der sich von der zweiten Halbleiteroberfläche aus erstreckt, eine relativ hoch dotierte Schicht vom P-Leitungstyp bildet,  
daß eine Basis vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche aus bis zu einer ersten Tiefe unterhalb der ersten Halbleiteroberfläche erstreckt,  
daß ein Emitterbereich vom N-Leitungstyp in der Basis vom P-Leitungstyp ausgebildet ist und sich von der ersten Halbleiteroberfläche aus bis zu einer zweiten Tiefe unterhalb dieser Halbleiteroberfläche erstreckt, die flacher als die erste Tiefe ist, um eine N-Emitter-/P-Basisgrenzschicht zu bilden, wobei der Emitterbereich vom N-Leitungstyp in Radialrichtung nach innen entlang der ersten Halbleiteroberfläche mit Abstand entlang eines Randes der Basis vom P-Leitungstyp derart angeordnet ist, daß sich der genannte eine Rand der Basis vom P-Leitungstyp zu der ersten Halbleiteroberfläche erstreckt, wodurch ein erster Kanalbereich entlang des Randes gebildet wird,  
daß erste und zweite Bereiche vom P-Leitungstyp in der relativ leicht dotierten Schicht vom N-Leitungstyp ausgebildet sind und sich von der ersten Oberfläche des Halbleiterplättchens aus erstrecken, wobei die ersten und zweiten Bereiche vom P-Leitungstyp mit seitlichem Abstand voneinander angeordnet sind und der zweite Bereich vom P-Lei-

tungstyp mit seitlichem Abstand von der Basis vom P-Leitungstyp angeordnet ist, um jeweilige zweite und dritte Kanalbereich in der relativ leicht dotierten Schicht vom N-Leitungstyp zu bilden, wobei ein Metallstreifen auf der ersten Halbleiteroberfläche angeordnet ist und den Emitterbereich vom N-Leitungstyp mit dem zweiten Bereich vom P-Leitungstyp verbindet,  
daß eine erste Gate-Isolationsschichteinrichtung auf der ersten Halbleiteroberfläche zumindestens auf dem zweiten Kanalbereich angeordnet ist,  
daß eine erste Gateeinrichtung auf der ersten Gate-Isolationsschichteinrichtung über dem zweiten Kanalbereich liegend angeordnet ist,  
daß eine zweite Gate-Isolationsschichteinrichtung auf der ersten Oberfläche zumindestens auf den ersten und dritten Kanalbereichen angeordnet ist,  
daß eine zweite Gateeinrichtung auf der zweiten Gate-Isolationsschichteinrichtung über den ersten und zweiten Kanalbereichen liegend angeordnet ist,  
daß eine Anodenelektrodeneinrichtung mit der auf der zweiten Halbleiteroberfläche angeordneten Schicht vom P-Leitungstyp verbunden ist,  
daß eine Kathodenelektrodeneinrichtung mit dem zweiten Bereich vom P-Leitungstyp auf der ersten Halbleiteroberfläche und mit dem ersten Gate verbunden ist, und  
daß eine Gateelektrodeneinrichtung mit dem zweiten Gate verbunden ist.  
8. MOS-gesteuerter Thyristor nach Anspruch 5, dadurch gekennzeichnet, daß die ersten, zweiten und dritten Bereiche vom P-Leitungstyp und die Basis vom P-Leitungstyp relativ hoch dotiert sind, und daß die Schicht vom P-Leitungstyp und der Emitter vom N-Leitungstyp relativ sehr stark dotiert sind.  
9. MOS-gesteuerter Thyristor nach Anspruch 5, dadurch gekennzeichnet, daß die zweite Gateeinrichtung elektrisch schwimmend ist oder fehlt.

Hierzu 3 Seite(n) Zeichnungen

FIG. 1 (STAND DER TECHNIK)

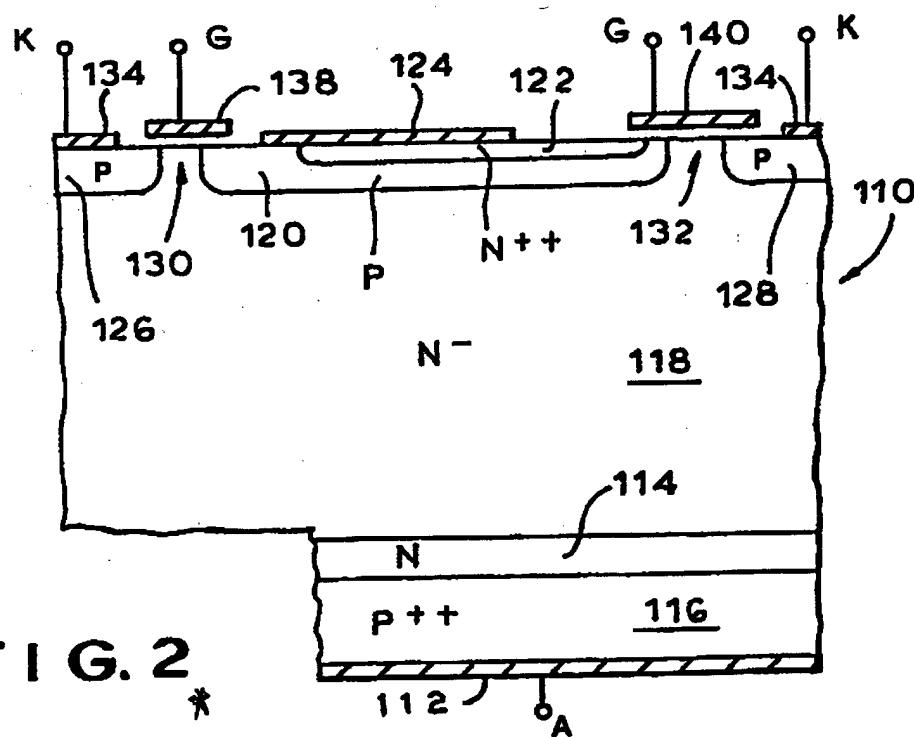
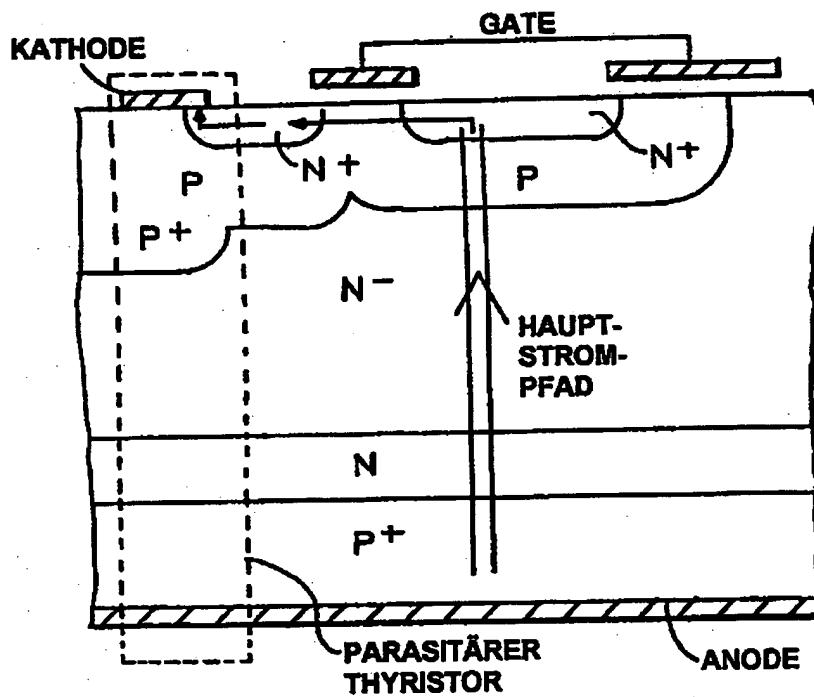


FIG. 2 \*

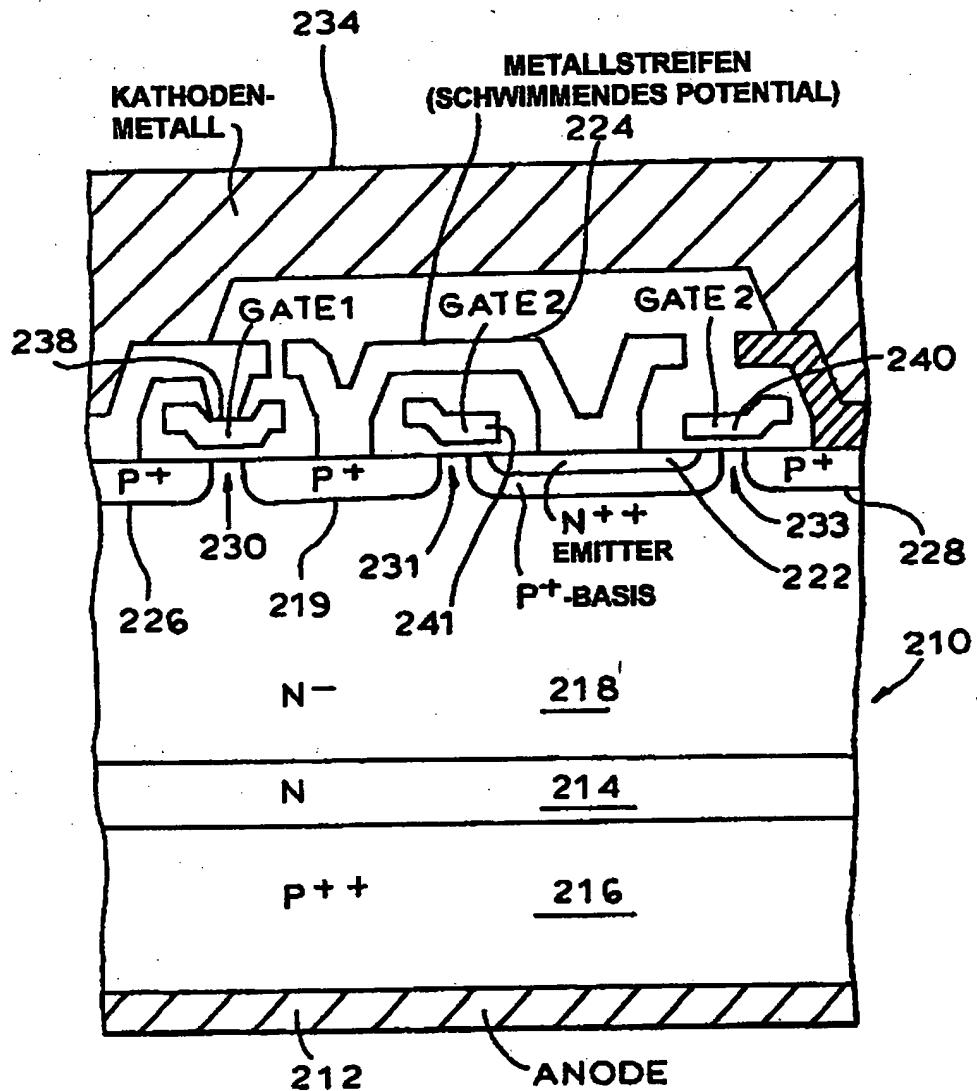


FIG. 3

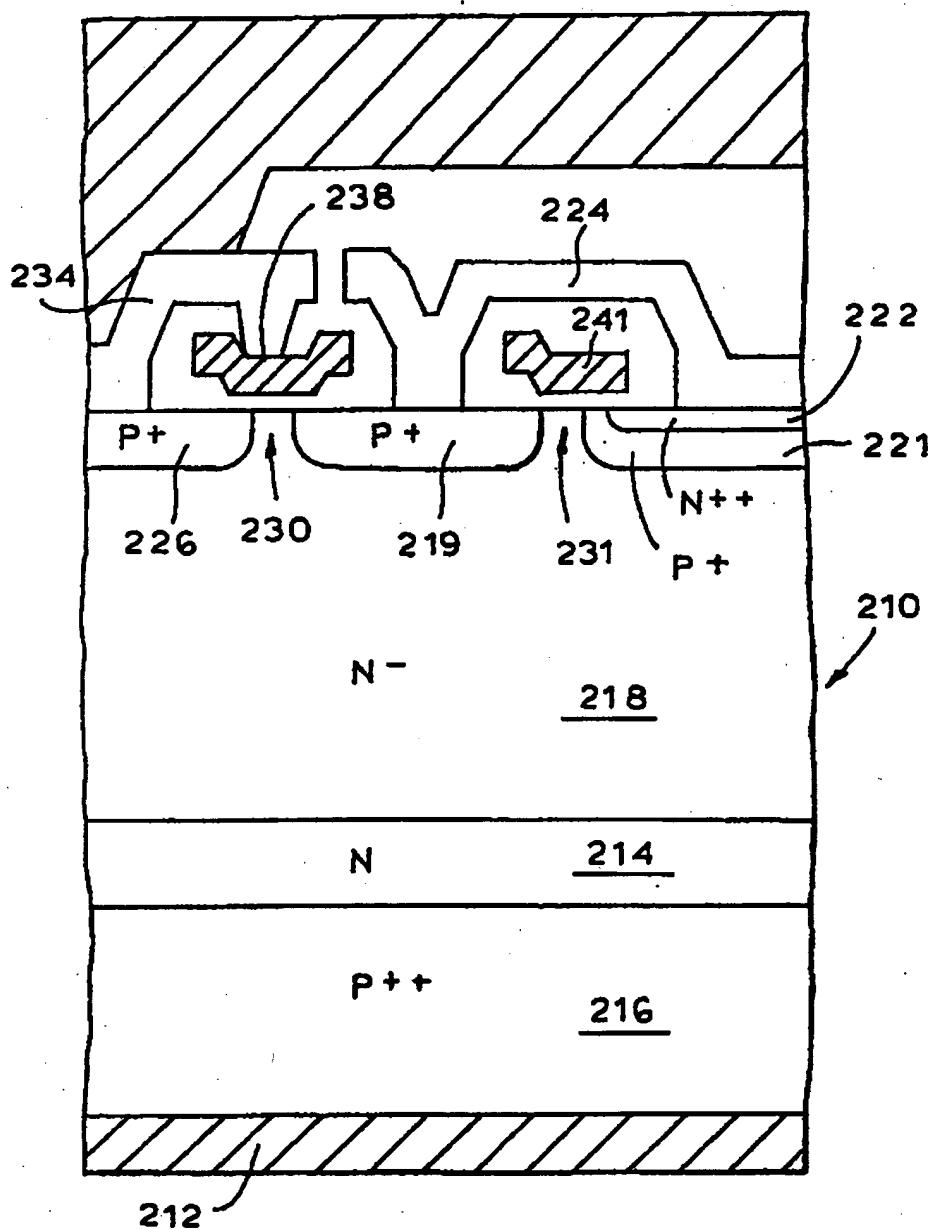


FIG. 4